

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-276132**

(43)Date of publication of application : **22.10.1993**

(51)Int.Cl. **H04J 3/00**
H04J 4/00
H04L 1/00
H04L 27/34

(21)Application number : **04-100625**

(71)Applicant : **NEC CORP**

(22)Date of filing : **26.03.1992**

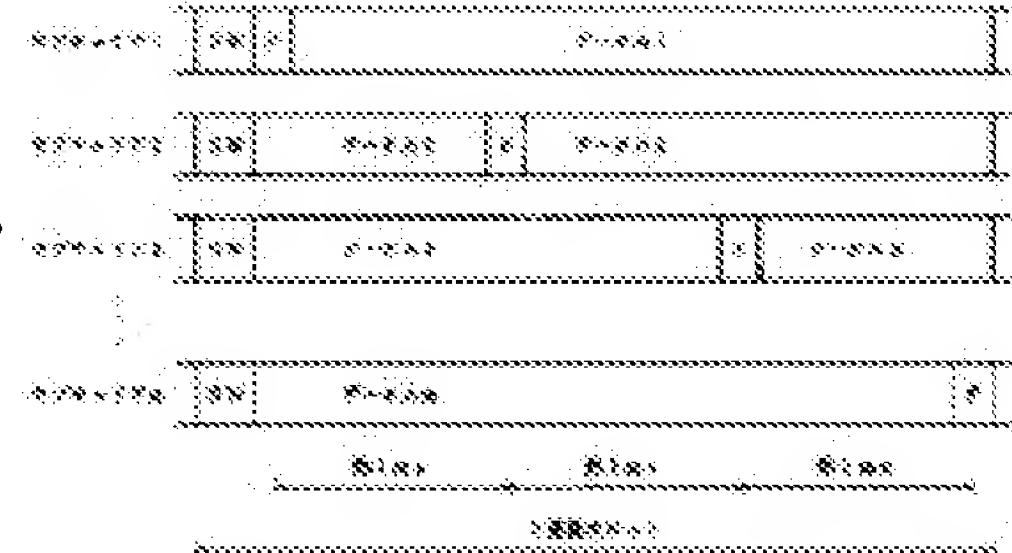
(72)Inventor : **KITAGAWA MITSUO**

(54) TIME-DIVISION MULTIPLE DIGITAL RADIO COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To increase the effective transmitting speed of a communication slot by decreasing the number of insertions of a pilot symbol, in a time-division multiple digital radio communication system in which an M-16 QAM system is used, a communication is performed by plural communication slots obtained by time-dividing a digital signal by the modulation system, and a pilot symbol insertion type phasing deviation compensation is performed.

CONSTITUTION: At a transmission side, a pilot symbol P is distributed and inserted into the communication slot of subcarriers 1-m so that the pilot symbol P can be appeared in an M-16 QAM signal at a prescribed time interval, synchronized with the communication slot of the entire subcarriers 1-m. The interval of the frequency of each subcarrier of the M-16 QAM system is relatively narrow, and each subcarrier is affected by an almosted uniform phasing deviation, so that the phasing deviation affecting each subcarrier can be estimated and compensat even by the pilot symbol distributed to the communication slot of the plural subcarriers, at a reception side.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-276132

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.⁵ 識別記号 庁内整理番号 F I 技術表示箇所
H 04 J 3/00 H 8843-5K
4/00 7117-5K
H 04 L 1/00 F 6942-5K
27/34 9297-5K H 04 L 27/00 E
審査請求 未請求 請求項の数2(全10頁)

(21)出願番号 特願平4-100625

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成4年(1992)3月26日

(72)発明者 北川 三男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 境 廣巳

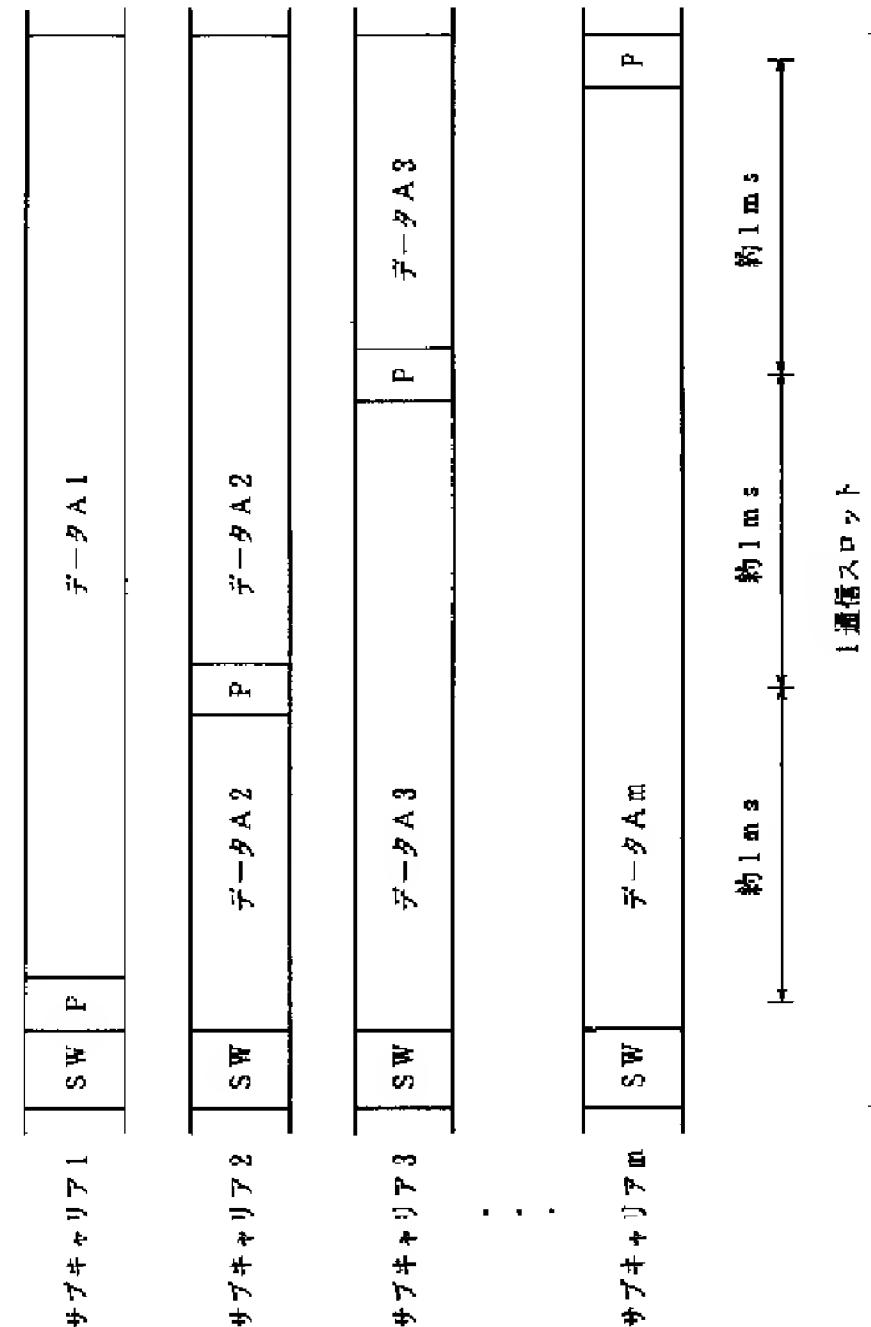
(54)【発明の名称】 時分割多重デジタル無線通信方式

(57)【要約】

【目的】 M-16 QAM方式を使用し且つこの変調方式によるデジタル信号を時分割した複数の通信スロットで通信すると共にパイロットシンボル挿入形フェージングひずみ補償を行う時分割多重デジタル無線通信方式において、パイロットシンボルの挿入数を減らし通信スロットの実効伝送速度を上げる。

【構成】 送信側において全てのサブキャリア1～mの通信スロットの同期をとつて、M-16 QAM信号中に所定時間間隔でパイロットシンボルPが現れるようにサブキャリア1～mの通信スロットにパイロットシンボルPを分散して挿入する。

【効果】 M-16 QAM方式の各サブキャリアの周波数間隔は比較的狭く、各サブキャリアはほぼ均一なフェージングひずみを受けるので、受信側では、複数のサブキャリアの通信スロットに分散したパイロットシンボルによっても各サブキャリアの受けるフェージングひずみを推定し補償することができる。



【特許請求の範囲】

【請求項1】 伝送するビット列を複数の低速ビット列に分割してそれぞれ周波数の異なる複数のサブキャリアに別々にデジタル変調をした後に周波数多重化するM-16QAM方式を使用し、且つ、この変調方式によるデジタル信号を時分割した複数の通信スロットで通信すると共に伝送特性改善のためパイロットシンボル挿入形フェージングひずみ補償を行う時分割多重デジタル無線通信方式において、

送信側において、全てのサブキャリアの通信スロットの同期を取って、特定の1サブキャリアの通信スロットに所定時間間隔でパイロットシンボルを挿入するようにしたことを特徴とする時分割多重デジタル無線通信方式。

【請求項2】 伝送するビット列を複数の低速ビット列に分割してそれぞれ周波数の異なる複数のサブキャリアに別々にデジタル変調をした後に周波数多重化するM-16QAM方式を使用し、且つ、この変調方式によるデジタル信号を時分割した複数の通信スロットで通信すると共に伝送特性改善のためパイロットシンボル挿入形フェージングひずみ補償を行う時分割多重デジタル無線通信方式において、

送信側において、全てのサブキャリアの通信スロットの同期を取って、M-16QAM信号中に所定時間間隔でパイロットシンボルが現れるように複数のサブキャリアの通信スロットにパイロットシンボルを分散して挿入するようにしたことを特徴とする時分割多重デジタル無線通信方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は時分割多重デジタル無線通信方式に関し、特に本質的に周波数選択性フェージングに強い方式であるM-16QAM方式という変調方式を採用し且つパイロットシンボル挿入形ひずみ補償を行う時分割多重デジタル無線通信方式に関する。

【0002】

【従来の技術】 デジタル変調方式の一種である16QAM方式は、周波数を有効に利用することができるといった利点を有する反面、移動通信にて例えば25kHz程度のチャネル幅で運用する場合には耐遅延分散においてあまり良好な特性が得られないという欠点がある。

【0003】 そこで、この16QAM方式に替わるものとして、M-16QAM方式と呼ばれる方式が開発された。

【0004】 図5はM-16QAM方式の基本原理を示し、送信しようとするAbpsの伝送速度を持つ伝送情報ビット列をM分歧回路1でM個の並列した低速の、つまりA/Mbpsの伝送速度を持つビット列に分割し、各々のビット列をそれぞれ異なる周波数f1～fmのサブキャリアによる16QAM変調器2-1～2-mで変調し、周波数多重変調器3で再び合成してM-16QAM

M信号を生成し、これを電力増幅器4で増幅して空中線5から送信するものである。

【0005】 図6はM-16QAM信号のスペクトラム図である。同図に示すように、それぞれのサブキャリア1～mの帯域幅は従来の16QAM信号の1/Mとなる。サブキャリアの個数はMなので、全体の帯域幅は16QAM方式と等しい。しかしながら、各サブキャリアの伝送速度は従来の16QAMの1/Mに低下しており、遅延分散に対する耐性は伝送速度に反比例するため、M-16QAM方式は従来の16QAM方式に比べてM倍だけ遅延分散に対して強くなっている。つまり周波数選択性フェージングに強い方式である。

【0006】 なお、サブキャリアの数m(=M)は種々の要因によって決定されるが、例えば25kHz程度のチャネル幅の場合、m=4すなわち4-16QAM方式が適当と考えられている。

【0007】

【発明が解決しようとする課題】 このようにM-16QAM方式は、周波数の有効活用が可能であり且つ耐遅延分散に優れているが、高速デジタル移動体通信システムへ実際に適用するにあたっては、より一層のフェージング対策が必要となる。そして、その際には解決すべき幾つかの課題が存在する。

【0008】 その1つは、フェージング対策としてパイロットシンボル挿入形フェージングひずみ補償方式を採用する際のパイロットシンボルの挿入問題である。

【0009】 一般に、パイロットシンボル挿入形フェージングひずみ補償方式は、例えば「電子情報通信学会論文誌 B-II Vol. J73-B-II No. 11, pp. 630-638 1990年11月 [陸上移動通信におけるトレリス符号化16QAM/TDMAシステムの特性] 三瓶政一他」(以下文献Aと称す)に見られるように、送信側においてパイロットシンボルを所定間隔で通信スロットに挿入し、受信側においてパイロットシンボルの状態からフェージングひずみ推定を行い、その推定結果に基づきフェージングひずみ補償を行うものである。

【0010】 そこで、このようなパイロットシンボル挿入形フェージングひずみ補償方式をM-16QAM方式の時分割多重デジタル無線通信方式に対し適用する場合、通信スロット毎に所定時間間隔でパイロットシンボルを挿入する従来の方法をそのまま適用すると、図7に示すように、各サブキャリア1～mの通信スロット毎に所定時間間隔たとえば約1ms毎にパイロットシンボルPを挿入する形式となる。なお、図中、SWは同期ワードである。

【0011】 しかしながら、M-16QAM方式はM個のサブキャリアを使用するが各サブキャリアの伝送スピードは1キャリア方式に比べ1/Mに低下しているので、トータルな伝送情報量は変わらない。このため、パ

イロットシンボルを各サブキャリアに所定時間間隔で挿入すると、全体に占めるパイロットシンボルの割合が増加してその分だけ本来伝送すべき情報の数が少なくなり、通信スロットの実効伝送スピードが低下してしまう。なお、パイロットシンボルの挿入間隔を大きくすることによりパイロットシンボル数を減らす方法は、受信側におけるフェージングひずみの推定誤差が大きくなり過ぎるので採用は困難である。

【0012】本発明はこのような事情に鑑みて為されたものであり、その目的は、パイロットシンボルの挿入によって通信スロットの実効伝送スピードが落ちないようにあることにある。

【0013】

【課題を解決するための手段】本発明は上記の目的を達成するために、伝送するビット列を複数の低速ビット列に分割してそれぞれ周波数の異なる複数のサブキャリアに別々にデジタル変調をした後に周波数多重化するM-16QAM方式を使用し、且つ、この変調方式によるデジタル信号を時分割した複数の通信スロットで通信すると共に伝送特性改善のためパイロットシンボル挿入形フェージングひずみ補償を行う時分割多重デジタル無線通信方式において、以下の(A)または(B)の構成を採用している。

【0014】(A)送信側において、全てのサブキャリアの通信スロットの同期をとって、特定の1サブキャリアの通信スロットに所定時間間隔でパイロットシンボルを挿入する。

【0015】(B)送信側において、全てのサブキャリアの通信スロットの同期をとって、M-16QAM信号中に所定時間間隔でパイロットシンボルが現れるように複数のサブキャリアの通信スロットにパイロットシンボルを分散して挿入する。

【0016】

【作用】M-16QAM方式の各サブキャリアの周波数間隔は比較的狭いので、各サブキャリアはほぼ均一なフェージングひずみを受けると考えられる。このため、特定の1サブキャリアの通信スロットに所定時間間隔毎にパイロットシンボルを挿入しても、そのパイロットシンボルから受信側において同サブキャリアの受けるフェージングひずみを推定することができると共に他のサブキャリアの受けるフェージングひずみも推定することができる。同様の理由で、複数のサブキャリアの通信スロットに分散して挿入されたパイロットシンボルによって各サブキャリアの受けるフェージングひずみを推定することができる。

【0017】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0018】図1は本発明において採用したパイロットシンボルの挿入方法の一例の説明図である。この図1と

既に説明した図7とを比較して明らかなように、本実施例では、送信側において全てのサブキャリアの通信スロットの同期をとて、M-16QAM信号中に所定時間間隔(例えば約1ms)でパイロットシンボルPが現れるように複数のサブキャリア1~mの通信スロットにパイロットシンボルPを分散して挿入している。このため、図7に比べ全体に占めるパイロットシンボルの割合が小さくなり、その分1つの通信スロットで送信できる本来のデータ量が増大している。

【0019】なお、図1のようなパイロットシンボル挿入方法を採用する場合、受信側においては、受信情報を受信順に一旦メモリに蓄積し、この蓄積されたメモリ中の受信情報からパイロットシンボルPを検出し、パイロットシンボルPの状態およびその検出箇所に基づき各サブキャリア1~mにおけるフェージングひずみを推定し、この推定値に基づきフェージングひずみ補償を行う。

【0020】図2は本発明において採用したパイロットシンボルの挿入方法の別の例を示す。この例のパイロットシンボル挿入方法は、送信側において、全てのサブキャリア1~mの通信スロットの同期をとて、特定の1サブキャリア(図示の例ではサブキャリア3)の通信スロットに所定時間間隔でパイロットシンボルPを挿入するものである。

【0021】なお、図2のようなパイロットシンボル挿入方法を採用する場合、受信側においては、受信情報を受信順に一旦メモリに蓄積し、この蓄積されたメモリ中の受信情報から特定のサブキャリア3に挿入されたパイロットシンボルPを検出し、パイロットシンボルPの状態およびその検出箇所に基づき特定のサブキャリア3および残りのサブキャリア1, 2, ..., mにおけるフェージングひずみを推定し、この推定値に基づきフェージングひずみ補償を行う。

【0022】次に図1のようなパイロットシンボルの挿入方法を採用した時分割多重デジタル無線通信方式の実施例について説明する。例としては、無線基地局(又は無線中継局)と移動局とから構成された移動体無線通信方式であって、伝送するビット列を複数の低速ビット列に分割してそれぞれ周波数の異なる複数のサブキャリアに別々にデジタル変調をした後に周波数多重化するマルチサブキャリア・デジタル変調方式として4-16QAM方式を使用し、且つ、この変調方式によるデジタル信号を時分割した複数の通信スロットで通信すると共に伝送特性改善のためパイロットシンボル挿入形フェージングひずみ補償を行う時分割多重デジタル移動体無線通信方式を用いる。

【0023】図3はこのような時分割多重デジタル移動体無線通信方式において無線基地局(又は無線中継局)および移動局に備えられる送信機系の一例を示すブロック図、図4は同局に備えられる受信機系の一例を示すブ

ロック回路である。

【0024】なお、図3において、10は伝送情報ビット列の入力端子、11はビット列分岐回路、12-1～12-4は4ビットのレジスタ、13-1～13-4は4ビットで構成されるパイロットシンボルPを保持するパイロットシンボルレジスタ、14-1～14-4はセレクタ、15-1～15-4はゲート、16は各部を制御する制御部、17、18、19は制御部16が outputする分岐制御信号、セレクト制御信号、同期タイミング信号、20-1～20-4はそれぞれ周波数f1～f4のサブキャリアによる16QAM変調器、21は周波数多重変調器、22は無線部、23は空中線、24-1～24-4は12ビット(3シンボル)で構成される同期ワードSWを保持する同期ワードレジスタである。

【0025】なお、本実施例では、16QAMの送信シンボルの中で第1、第2、第3、第4象限の最大振幅をもつシンボルをそれぞれパイロットシンボルとしてパイロットシンボルレジスタ13-1～13-4に各々設定してあるが、全てのサブキャリアで同一のパイロットシンボル(例えば第1象限の最大振幅をもつシンボル)を使用する場合には、そのようなパイロットシンボルを保持する1個のパイロットシンボルレジスタを設け、その出力をセレクタ14-1～14-4に出力する構成とすれば良い。

【0026】また、図4において、30は空中線、31は無線部、32は周波数分岐回路、33-1～33-4はそれぞれ受信側の16QAM変調器20-1～20-4に対応する16QAM復調器、34はメモリ、35はCPU、36は入出力インターフェイス(I/O)、37は出力端子である。

【0027】先ず、図1および図3を参照して送信機系の動作を説明する。

【0028】図3の制御部16は、1つの通信スロットの開始点において、セレクト制御信号18によりセレクタ14-1～14-4が同期ワードレジスタ24-1～24-4に保持された同期ワードSWの先頭4ビットを選択するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開くことにより、同期ワードの先頭4ビットをそれぞれ16QAM変調器20-1～20-4に加える。

【0029】次に、制御部16は、セレクト制御信号18によりセレクタ14-1～14-4が同期ワードレジスタ24-1～24-4に保持された同期ワードSWの中間4ビットを選択するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開くことにより、同期ワードの中間4ビットをそれぞれ16QAM変調器20-1～20-4に加える。

【0030】次に、制御部16は、セレクト制御信号18によりセレクタ14-1～14-4が同期ワードレジ

スタ24-1～24-4に保持された同期ワードSWの最終4ビットを選択するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開くことにより、同期ワードの最後の4ビットをそれぞれ16QAM変調器20-1～20-4に加える。

【0031】以上で、通信スロットの開始点において周波数がf1～f4の各サブキャリアの通信スロットの開始点に12ビット構成の同期ワードが1つ挿入されたことになる。

【0032】次に、制御部16は、セレクト制御信号18によりセレクタ14-1がパイロットシンボルレジスタ13-1の出力を選択するように制御し、残りのセレクタ14-2～14-4がレジスタ12-2～12-4の出力を選択するように制御し、ビット列分岐回路11が入力端子10に加わる伝送情報ビット列の先頭の4ビットをレジスタ12-2に、続く4ビットをレジスタ12-3に、更に次の4ビットをレジスタ12-4に出力するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開いてパイロットシンボル、伝送情報ビット列の各4ビットをそれぞれ16QAM変調器20-1～20-4に加える。そして、制御部16内のパイロットシンボル送出間隔制御用のタイマ(図示せず)をスタートさせる。

【0033】次に、制御部16は、セレクト制御信号18によりセレクタ14-1～14-4がレジスタ12-1～12-4の出力を選択するように制御し、ビット列分岐回路11が伝送情報ビット列の後続の各4ビットずつをレジスタ12-1～12-4に出力するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開いて伝送情報ビット列の各4ビットをそれぞれ16QAM変調器20-1～20-4に加える制御を、パイロットシンボル送出間隔制御用のタイマがタイムアウトするまで、即ち次にパイロットシンボルを挿入するタイミングになるまで繰り返す。

【0034】そして、次のパイロットシンボルの挿入タイミングになると、制御部16は、セレクト制御信号18により前回パイロットシンボルを挿入したサブキャリアの次のサブキャリアに対応するセレクタ14-2がパイロットシンボルレジスタ13-2の出力を選択するように制御し、残りのセレクタ14-1、14-3、14-4がレジスタ12-1、12-3、12-4の出力を選択するように制御し、ビット列分岐回路11が入力端子10に加わる伝送情報ビット列の後続の4ビットをレジスタ12-1に、続く4ビットをレジスタ12-3に、更に次の4ビットをレジスタ12-4に出力するように制御し、次のタイミングで同期タイミング信号19によりゲート15-1～15-4を同時に開いて伝送情報ビット列の4ビット、パイロットシンボル、伝送情報

ビット列の後続の各4ビットをそれぞれ16QAM変調器20-1～20-4に加える。そして、制御部16内のパイロットシンボル送出間隔制御用のタイマを再スタートさせる。

【0035】そして、制御部16は再び伝送情報ビット列の後続の各4ビットが16QAM変調器20-1～20-4に入力される制御を行い、次のパイロットシンボル挿入タイミングになると、今度は16QAM変調器20-3に対応するサブキャリアにのみパイロットシンボルを挿入し、再び伝送情報ビット列の後続の各4ビットが16QAM変調器20-1～20-4に入力される制御を行い、再度パイロットシンボル挿入タイミングになると、今度は16QAM変調器20-4に対応するサブキャリアにのみパイロットシンボルを挿入する制御を行う。

【0036】以上のような動作を通信スロットの終了まで繰り返し、次の通信スロットも同様に処理する。

【0037】さて、各16QAM変調器20-1～20-4に順次に入力された各4ビットはそれぞれ異なる周波数のサブキャリアで16QAMの変調を受けた後、周波数多重変調器21で合成され、無線部22を通じて空中線23から電波として送出される。

【0038】以上のような動作が送信系で行われることにより、図1に示したように、全てのサブキャリアの通信スロットの同期が取られ、且つ、複数のサブキャリア1～mの通信スロットにパイロットシンボルPが分散して挿入される。

【0039】次に、図1および図4を参照して受信機系の動作を説明する。

【0040】送信機系から送出された電波は図4の空中線30で受信され、無線部31で増幅等された後、周波数分岐回路32で各サブキャリア毎に分けられ、対応する16QAM復調器33-1～33-4に入力されて個別に復調される。そして、各16QAM復調器33-1～33-4の出力が受信順にメモリ34に格納される。

【0041】ここで、メモリ34内に4個の領域34-1～34-4があり、16QAM復調器33-1の出力は受信順に領域34-1の先頭A0から順に格納され、16QAM復調器33-2, 33-3, 33-4の出力も受信順にそれぞれ領域34-2, 34-3, 34-4の先頭A0から順に格納されるとすると、図1の場合、各領域34-1～34-4の格納内容は例えば図4に示すようになる。

【0042】そこで、CPU35は、メモリ34の各領域34-1～34-4中から同期ワードSWを検出することにより各サブキャリアの通信スロットを認識する。また、各領域34-1～34-4中からパイロットシンボルPを検出し、この検出したパイロットシンボルPの状態およびその検出箇所に基づき各サブチャネルにおけるフェージングひずみを推定し、その推定値に基づきフ

エージングひずみ補償を行う。

【0043】ここで、パイロットシンボルを用いたフェージングひずみの推定および補償の方法としては各種考えられ、本発明はそのような方法まで限定するものではないが、一例を挙げれば、フェージングひずみの推定は、約1ms毎に現れるパイロットシンボルの受けたフェージングひずみ（振幅ひずみ）を元に情報シンボルの受けたフェージングひずみ（振幅ひずみ）を内挿方法や外挿方法で求め、フェージングひずみの補償は、推定したフェージングひずみを打ち消す方向に情報シンボルの振幅値を補正することで行う。勿論、文献Aに記載したように受信機系で最大比合成形空間ダイバーシチを採用し、フェージングひずみの推定値をもとに最大比合成形ダイバーシチを行うことでフェージングひずみ補償を行うようにしても良い。

【0044】なお、CPU35は各サブキャリアの通信スロットを認識し、フェージングひずみ補償等の必要な処理を施した受信情報を入出力インターフェイス36を介して出力端子37に出力する。

【0045】以上の送信機系および受信機系の構成は図1に示すようなパイロットシンボルの挿入方法を採用した時分割多重デジタル無線移動体無線通信方式のものであるが、図2に示すようなパイロットシンボルの挿入方法を採用した時分割多重デジタル移動体無線方式の送信機系および受信機系もほぼ同様の構成で実現できる。

【0046】この場合、パイロットシンボルを挿入する特定のサブキャリアを図3の16QAM変調器20-3に対応するサブキャリア3とすると、パイロットシンボルレジスタ13-1, 13-2, 13-4が省略され、パイロットシンボルレジスタ13-3のみが設けられる。そして、制御部16はパイロットシンボルの挿入タイミングが到来するごとにセレクタ14-3をパイロットシンボルレジスタ13-3側に切り替えて1つのパイロットシンボルを挿入する制御を行う。

【0047】以上の実施例では4-16QAM方式を例にしたが、その他のM-16QAMを使用した時分割多重デジタル無線通信方式に対しても本発明は適用可能である。

【0048】

【発明の効果】以上説明したように、本発明は、送信側において全てのサブキャリアの通信スロットの同期をとって、特定の1サブキャリアの通信スロットに所定時間間隔でパイロットシンボルを挿入するか、或いは、M-16QAM信号中に所定時間間隔でパイロットシンボルが現れるように複数のサブキャリアの通信スロットにパイロットシンボルを分散して挿入するようにしたので、各サブキャリアの通信スロット毎にパイロットシンボルを挿入する場合に比べ全体に占めるパイロットシンボルの割合を小さくでき、パイロットシンボル挿入による通信スロットの実効伝送スピードの低下を極力抑えること

ができる。

【図面の簡単な説明】

【図1】本発明において採用したパイロットシンボルの挿入方法の一例の説明図である。

【図2】本発明において採用したパイロットシンボルの挿入方法の別の例の説明図である。

【図3】本発明の一実施例にかかる時分割多重デジタル移動体無線通信方式において無線基地局（又は無線中継局）および移動局に備えられる送信機系の一例を示すブロック図である。

【図4】本発明の一実施例にかかる時分割多重デジタル移動体無線通信方式において無線基地局（又は無線中継局）および移動局に備えられる受信機系の一例を示すブロック図である。

【図5】M-16 QAM方式の基本原理図である。

【図6】M-16 QAM信号のスペクトラム図である。

【図7】パイロットシンボルの一般的な挿入方法の説明図である。

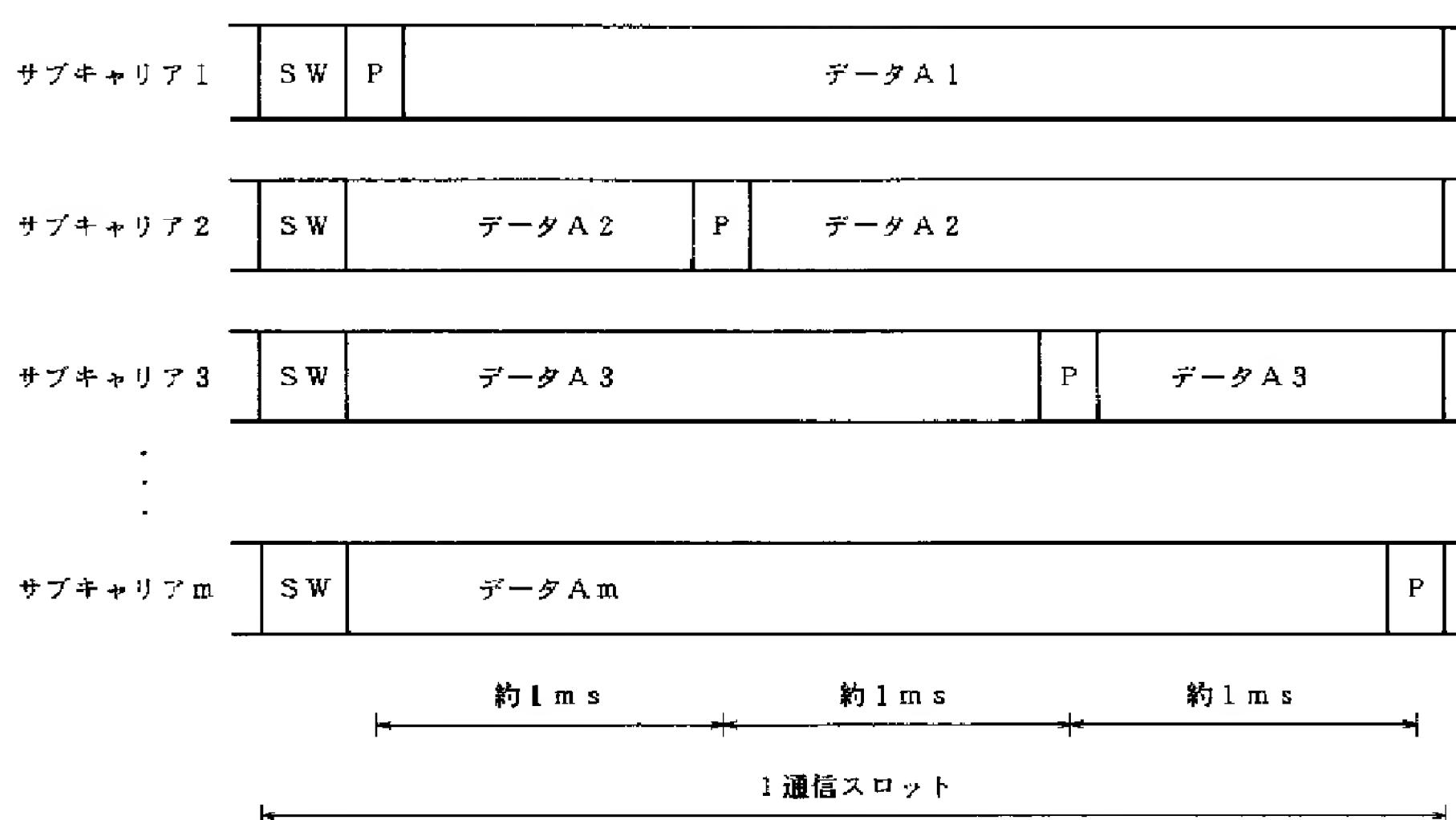
【符号の説明】

1 0…伝送情報ビット列の入力端子

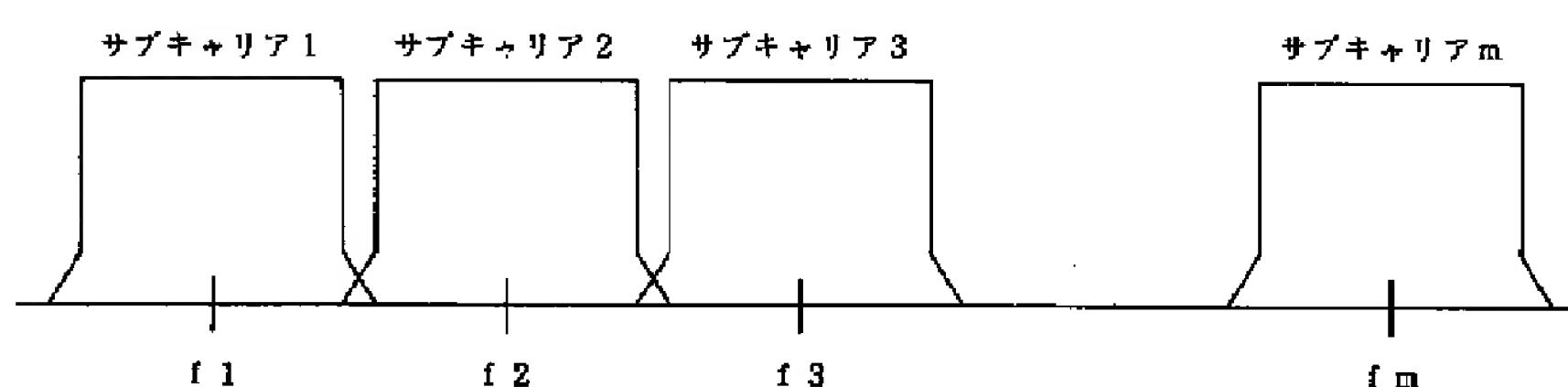
1 1…ビット列分岐回路

1 2-1～1 2-4…レジスタ
1 3-1～1 3-4…パイロットシンボルレジスタ
1 4-1～1 4-4…セレクタ
1 5-1～1 5-4…ゲート
1 6…制御部
1 7…分岐制御信号
1 8…セレクト制御信号
1 9…同期タイミング信号
2 0-1～2 0-4…16 QAM変調器
2 1…周波数多重変調器
2 2, 3 1…無線部
2 3, 3 0…空中線
2 4-1～2 4-4…同期ワードレジスタ
3 2…周波数分岐回路
3 3-1～3 3-4…16 QAM復調器
3 4…メモリ
3 4-1～3 4-4…領域
3 5…C P U
3 6…入出力インターフェイス
3 7…出力端子

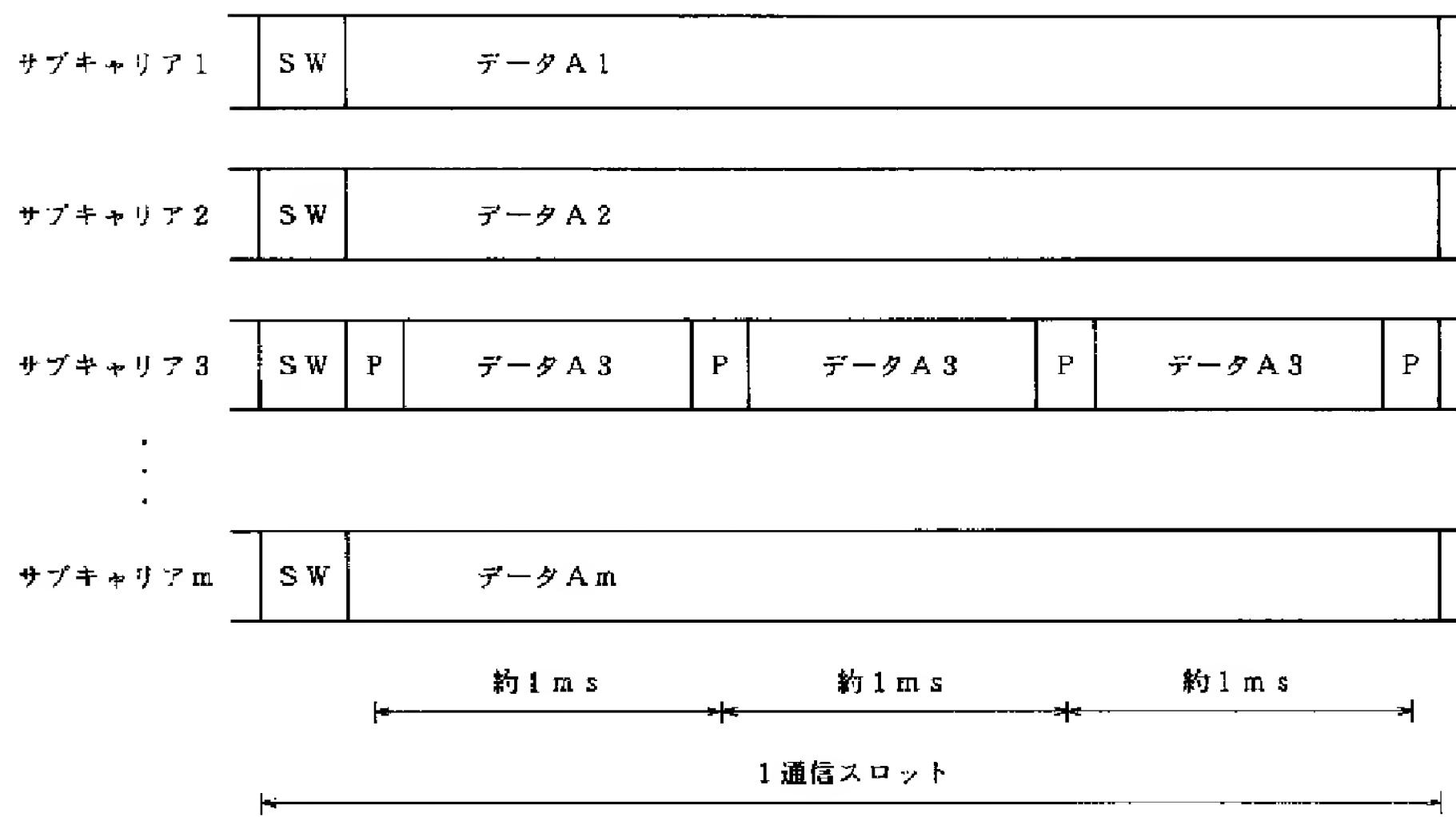
【図1】



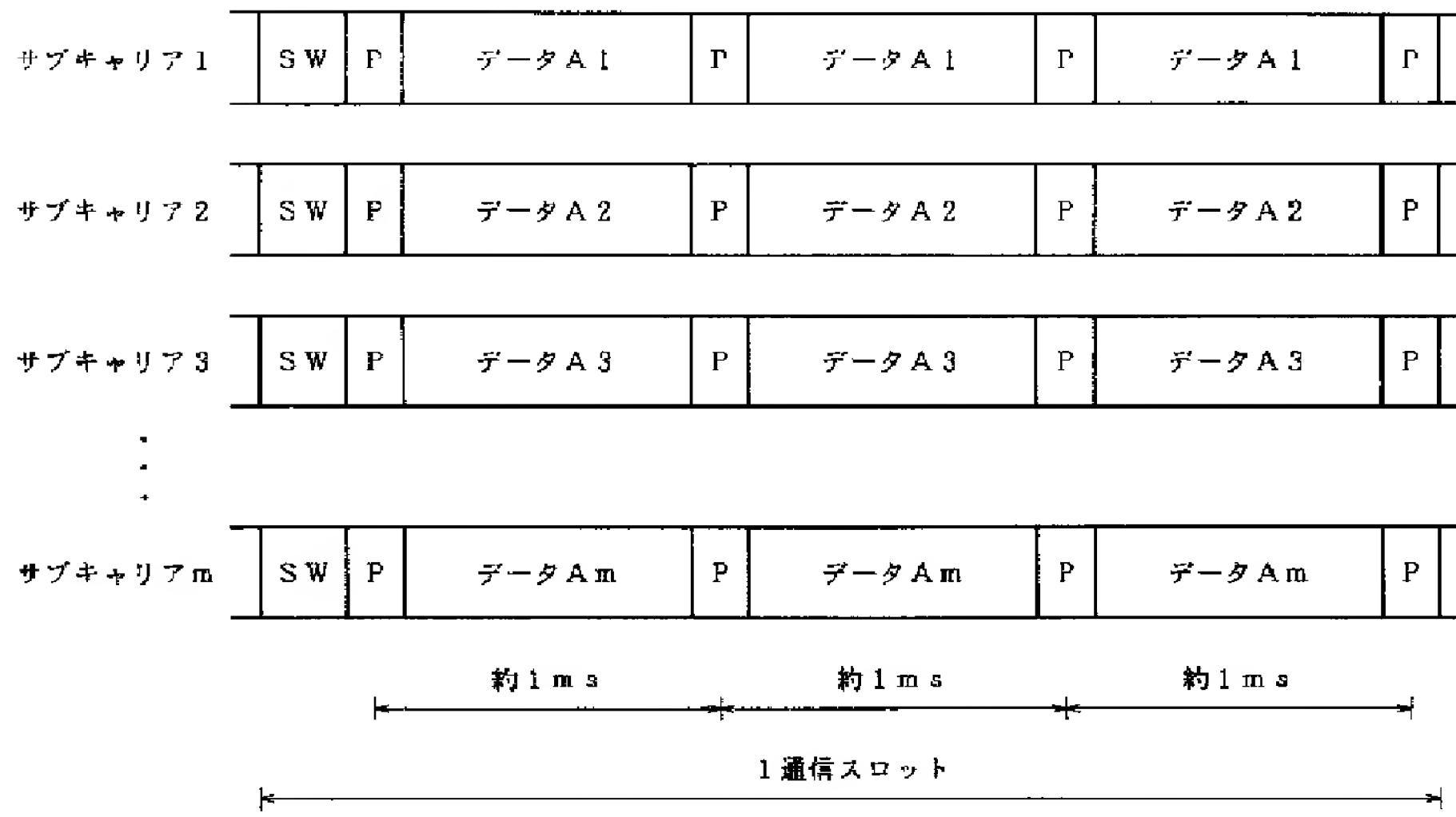
【図6】



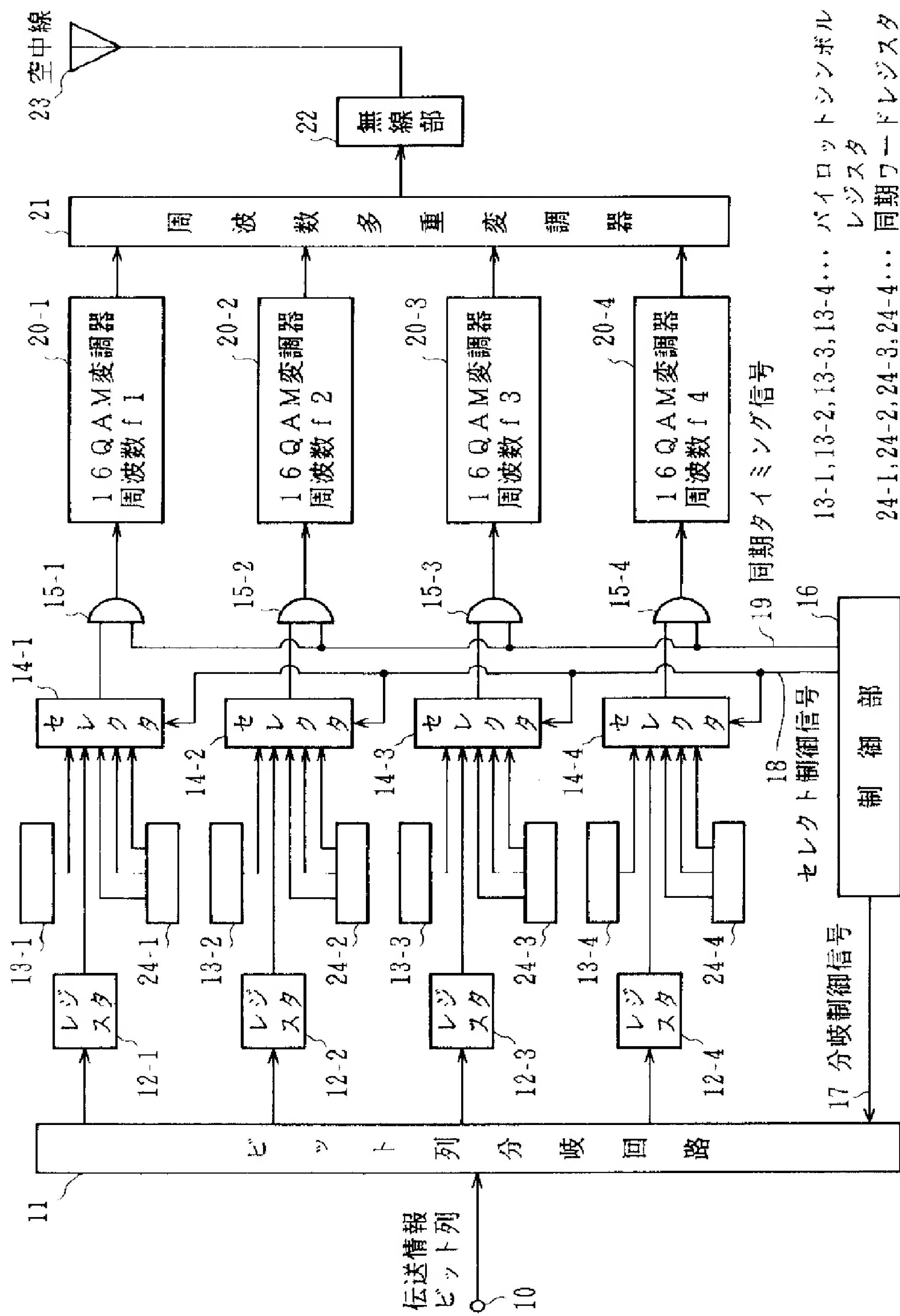
【図2】



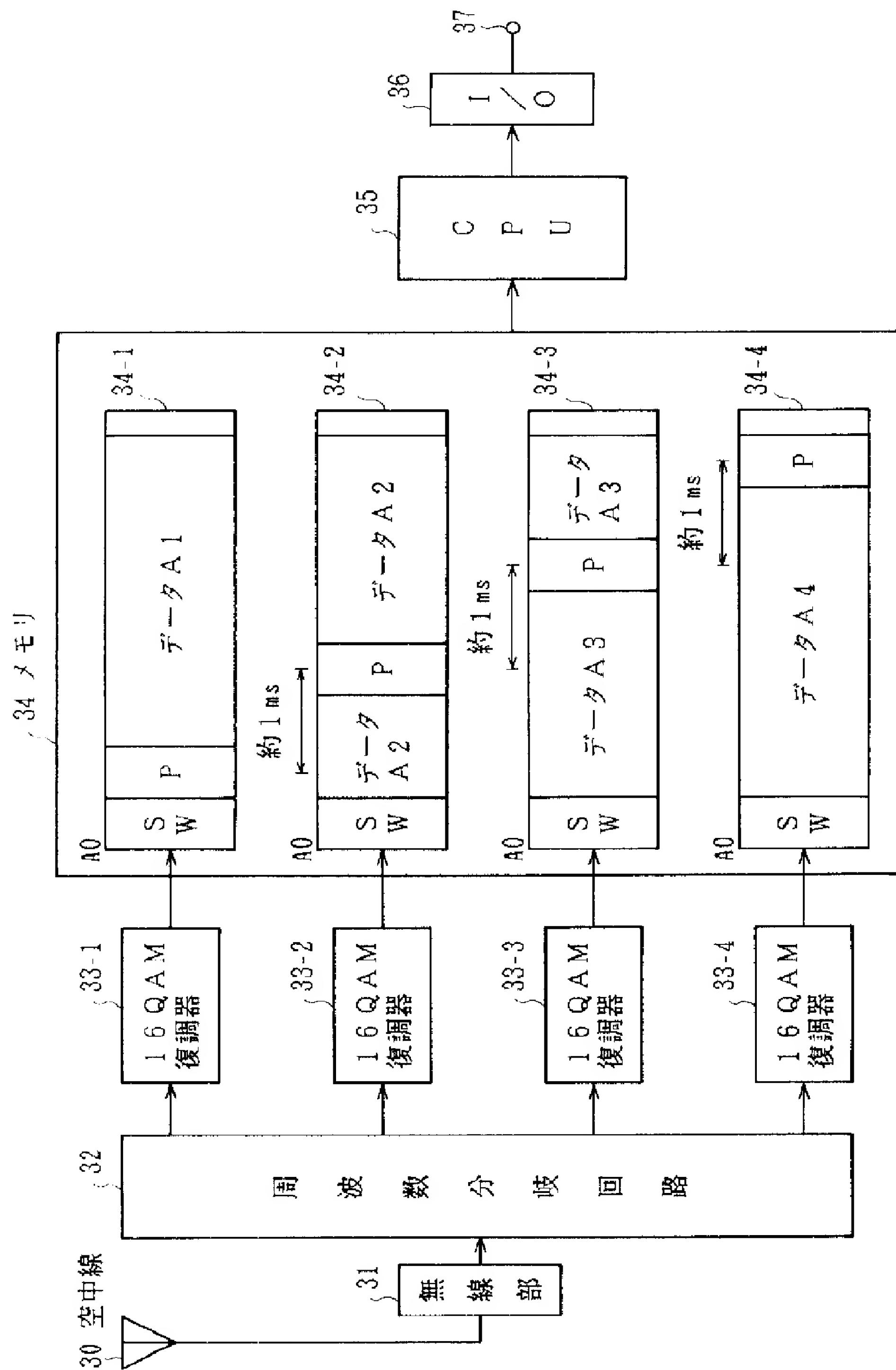
【図7】



【図3】



【図4】



【図5】

